

Docket No.: 60188-627

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Tetsuji NAKAKUMA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 21, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

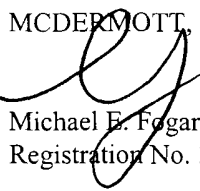
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-263856, Filed on September 10, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: August 21, 2003

August 21, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月10日

出 願 番 号

Application Number:

特願2002-263856

[ST.10/C]:

[JP2002-263856]

出 願 人

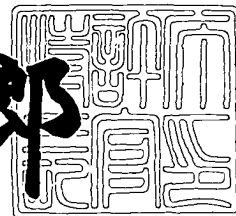
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028288

【書類名】 特許願

【整理番号】 2926430288

【提出日】 平成14年 9月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/401

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中熊 哲治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平野 博茂

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 ビット線と接続された差動増幅型センスアンプと、
データ線と前記ビット線との接続・非接続を切替制御するカラム選択スイッチ
を含むデータ伝送回路とを備え、

前記差動増幅型センスアンプは、電源を有すると共に、前記電源と前記ビット
線とを接続する少なくとも 1 つの MOS トランジスタよりなるトランジスタ列を
有し、

前記カラム選択スイッチのオン抵抗が、前記トランジスタ列のオン抵抗よりも
大きいことを特徴とする半導体装置。

【請求項 2】 前記ビット線は、読み出し動作状態において前記差動増幅型セ
ンスアンプが起動されたときにハイレベルになるビット線とローレベルになるビ
ット線とから構成され、

前記差動増幅型センスアンプは、前記ローレベルになるビット線と前記電源と
を接続する P チャネル型 MOS トランジスタを有し、

前記ハイレベルになるビット線の電位が、前記 P チャネル型 MOS トランジス
タの閾値よりも高いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 ビット線と接続された差動増幅型センスアンプと、
データ線と前記ビット線との接続・非接続を切替制御するカラム選択スイッチ
を含むデータ伝送回路とを備え、

前記カラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム
選択スイッチとから構成されていることを特徴とする半導体装置。

【請求項 4】 前記読み出し用カラム選択スイッチのオン抵抗が、前記書き込
み用カラム選択スイッチのオン抵抗よりも大きいことを特徴とする請求項 3 に記
載の半導体装置。

【請求項 5】 前記読み出し用カラム選択スイッチ及び前記書き込み用カラム
選択スイッチのそれぞれにおける前記データ線との接続部分が共通の不純物拡散
層から構成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】 前記読み出し用カラム選択スイッチ及び前記書き込み用カラム選択スイッチのそれぞれは、隣接する一対のカラムにおいて同一のデータ線と接続するように配置されており、

前記一対のカラムと対応する、一対の前記読み出し用カラム選択スイッチ及び一対の前記書き込み用カラム選択スイッチのそれぞれにおける前記同一のデータ線との接続部分が共通の不純物拡散層から構成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 7】 ビット線と接続された差動増幅型センスアンプと、

データ線と前記ビット線との接続・非接続を切替制御するカラム選択スイッチを含むデータ伝送回路と、

付加容量と前記ビット線との接続・非接続を切替制御する容量制御スイッチとを備え、

読み出し動作状態において前記差動増幅型センスアンプが起動された後であって前記カラム選択スイッチによって前記データ線と前記ビット線とが接続される前に、前記容量制御スイッチによって前記付加容量と前記ビット線とが接続されることを特徴とする半導体装置。

【請求項 8】 ビット線と接続された差動増幅型センスアンプと、

データ線と前記ビット線との接続・非接続を切替制御するカラム選択スイッチを含むデータ伝送回路と、

前記データ線の分割・非分割を切替制御するデータ線分割スイッチとを備え、

読み出し動作状態において前記差動増幅型センスアンプが起動され且つ前記カラム選択スイッチによって前記データ線と前記ビット線とが接続されるまで、前記データ線分割スイッチによって前記データ線が分割されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、センスアンプと、カラム選択スイッチを含むデータ伝送回路とを備えた半導体記憶装置に関し、特に、データの誤読み出し防止手段に関するもので

ある。

【0002】

【従来の技術】

図11は、従来の半導体記憶装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である（特許文献1及び2参照）。

【0003】

図11に示すように、被選択メモリセル（図示省略）からビット線対BL及び／BLにそれぞれデータが読み出されると、各ビット線の電位が差動型センスアンプ1により増幅される。また、メモリセルが、1つのトランジスタと1つのキャパシタとから構成された1T1C型メモリである場合、ビット線対BL及び／BLの一方のビット線に供給された比較電位が差動型センスアンプ1により増幅される。

【0004】

差動型センスアンプ1を活性化するためには、信号SA1をLow（Lo）にすると共に信号SA2をHigh（Hi）にすることによって、Pチャネル型MOSトランジスタQp1及びNチャネル型MOSトランジスタQn1をそれぞれON状態にする。ここで、例えばビット線BLに“1”のデータが読み出されると、差動増幅によりビット線BLの最終的な電位は電源電圧（Vcc）レベルになると共に、ビット線／BLの最終的な電位はGNDレベルになる。その結果、Pチャネル型MOSトランジスタQp2及びNチャネル型MOSトランジスタQn3がON状態になると共にPチャネル型MOSトランジスタQp3及びNチャネル型MOSトランジスタQn2がOFF状態になる。

【0005】

続いて、カラム選択信号SWをHiにして、カラム選択スイッチ2の一对のNチャネル型MOSトランジスタQn4をON状態にすることにより、メモリセルからの読み出しデータがデータ線対DL及び／DLに伝送される。

【0006】

図12は、図11に示す従来の半導体記憶装置においてビット線からデータ線

にデータが正常に伝送された時のビット線及びデータ線の電位変化を示す図である。

【0007】

図12に示すように、センスアンプ1が活性化されたとき、ビット線対BL及びBLはそれぞれ電源電圧レベル及びGNDレベルになっている。ここで、カラム選択信号SWをLoからHiにすると、Nチャネル型MOSトランジスタQn4がONし、それによりビット線BLからデータ線DLに電荷がチャージされる結果、データ線DLの電位が上昇する。尚、MOSトランジスタQn4がONした瞬間、データ線DLへのチャージ電流が発生するため、ビット線BLの電位は低下する。しかし、データ線DLの電位が上昇するにつれてチャージ電流が減少するので、ビット線BLの電位は再上昇して電源電圧レベルになる。一方、データ線/DLには、データ線間干渉によるわずかな電位上昇がみられる。このため、データ線/DLと接続するビット線/BLの電位も同様にわずかに上昇するが、最終的にはビット線/BLの電位はGNDレベルに戻る。

【0008】

【特許文献1】

特開平5-28752号公報

【特許文献2】

特開平6-208786号公報

【0009】

【発明が解決しようとする課題】

しかしながら、前述の従来の半導体記憶装置においては、データの破壊や誤読み出しが生じるという問題がある。

【0010】

前記に鑑み、本発明は、半導体記憶装置においてデータの破壊や誤読み出しを防止することを目的とする。

【0011】

【課題を解決するための手段】

前記の目的を達成するために、本願発明者らは、従来の半導体記憶装置におい

てデータの破壊や誤読み出しが生じる原因を検討した結果、次のようなことが分かった。

【 0 0 1 2 】

すなわち、従来のセンスアンプ 1 及びカラム選択スイッチ 2 においては、ビット線負荷容量と比べて、データ線長に依存する配線容量、又はデータ線間距離に依存する配線間容量等が大きい。従って、センスアンプ 1 を構成する MOS トランジスタ Q_{p1} 及び Q_{p2} の合計のオン抵抗と比べて、カラム選択スイッチ 2 である MOS トランジスタ Q_{n4} のオン抵抗が低い場合、読み出し動作において誤読み出しとなる危険性が高い。

【 0 0 1 3 】

図 1 3 は、図 1 1 に示す従来の半導体記憶装置において誤読み出しが起きる場合のビット線及びデータ線の電位変化を示す図である。

【 0 0 1 4 】

図 1 3 に示すように、センスアンプ 1 が活性化されたとき、ビット線対 B_L 及び \bar{B}_L はそれぞれ電源電圧レベル及び GND レベルになっている。ここで、カラム選択信号 SW を L_o から H_i にすると、Nチャネル型 MOS トランジスタ Q_{n4} が ON し、それによりビット線 B_L からデータ線 D_L に電荷がチャージされる結果、データ線 D_L の電位が上昇する。ところで、MOS トランジスタ Q_{n4} が ON した瞬間、データ線 D_L へのチャージ電流が発生するため、ビット線 B_L の電位は低下する。このとき、ビット線容量と比較してデータ線容量が極めて大きく且つ Pチャネル型 MOS トランジスタ Q_{p1} 及び Q_{p2} の合計のオン抵抗と比べてカラム選択スイッチ 2 である MOS トランジスタ Q_{n4} のオン抵抗が低いと、ビット線 B_L の電位低下がより大きく起こる。

【 0 0 1 5 】

一方、大きなデータ線間容量に起因するデータ線間干渉によってデータ線 \bar{D}_L の電位上昇も大きい。そのため、データ線 \bar{D}_L と低抵抗で接続するビット線 \bar{B}_L の電位上昇も大きくなる。同時に、ビット線 B_L のレベル低下によって、Pチャネル型 MOS トランジスタ Q_{p3} が ON すると共に Nチャネル型 MOS トランジスタ Q_{n3} が高抵抗化する。以上のことが重なってビット線 \bar{B}_L の電位

上昇はより大きくなる。その結果、ビット線対BL及び／BL間の電位逆転が起こり、読み出しデータが破壊されてしまう。

【0016】

本発明は、以上の検討結果に基づき得られたものであって、具体的には、本発明に係る第1の半導体装置は、ビット線と接続された差動増幅型センスアンプと、データ線とビット線との接続・非接続を切替制御するカラム選択スイッチを含むデータ伝送回路とを備え、差動増幅型センスアンプは、電源を有すると共に、電源とビット線とを接続する少なくとも1つのMOSトランジスタよりなるトランジスタ列を有し、カラム選択スイッチのオン抵抗が、トランジスタ列のオン抵抗よりも大きい。

【0017】

第1の半導体装置によると、カラム選択スイッチがONした瞬間（データ線とビット線とが接続された瞬間）、ビット線（ハイレベルになるビット線）からデータ線へのチャージ電流が発生するが、カラム選択スイッチのオン抵抗が比較的大きいため、該ビット線の電位低下を抑制することができる。従って、ビット線対間の電位関係を安定させることができるため、ビット線からデータ線へのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しを防止できる。

【0018】

第1の半導体装置において、ビット線は、読み出し動作状態において差動増幅型センスアンプが起動されたときにハイレベルになるビット線とローレベルになるビット線とから構成され、差動増幅型センスアンプは、ローレベルになるビット線と電源とを接続するPチャネル型MOSトランジスタを有し、ハイレベルになるビット線の電位が、Pチャネル型MOSトランジスタの閾値よりも高いことが好ましい。

【0019】

このようにすると、ローレベルになるビット線と接続されるデータ線に、データ線間干渉によるわずかな電位上昇が生じ、それによって該ビット線にも同様にわずかな電位上昇が生じたとしても、該ビット線に、それ以上の電位上昇が生じ

ることを防止できる。従って、ビット線対間の電位関係をより安定させることができるので、読み出し動作時におけるデータ破壊や誤読み出しをより確実に防止できる。

【 0 0 2 0 】

本発明に係る第2の半導体装置は、ビット線と接続された差動増幅型センスアンプと、データ線とビット線との接続・非接続を切替制御するカラム選択スイッチを含むデータ伝送回路とを備え、カラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム選択スイッチとから構成されている。

【 0 0 2 1 】

第2の半導体装置によると、カラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム選択スイッチとから構成されているため、書き込み用カラム選択スイッチのオン抵抗を大きくすることなく、読み出し用カラム選択スイッチのオン抵抗のみを大きくできる。このため、読み出し用カラム選択スイッチのオン抵抗を、差動増幅型センスアンプのトランジスタ列（センスアンプの電源とビット線とを接続するトランジスタ列）のオン抵抗よりも大きくすることができるので、第1の半導体装置と同様の効果が得られる。

【 0 0 2 2 】

第2の半導体装置において、読み出し用カラム選択スイッチのオン抵抗が、書き込み用カラム選択スイッチのオン抵抗よりも大きいことが好ましい。

【 0 0 2 3 】

このようにすると、書き込み用カラム選択スイッチのオン抵抗、つまり書き込み専用のMOSトランジスタのオン抵抗が小さいため、安定且つ高速な書き込み動作を実行させることが可能になる。

【 0 0 2 4 】

第2の半導体装置において、読み出し用カラム選択スイッチ及び書き込み用カラム選択スイッチのそれぞれにおけるデータ線との接続部分が共通の不純物拡散層から構成されていることが好ましい。

【 0 0 2 5 】

このようにすると、読み出し用及び書き込み用にそれぞれカラム選択スイッチ

を設けたことによるレイアウト面積の増大を最小限に抑制することができる。

【 0 0 2 6 】

第2の半導体装置において、読み出し用カラム選択スイッチ及び書き込み用カラム選択スイッチのそれぞれは、隣接する一対のカラムにおいて同一のデータ線と接続するように配置されており、一対のカラムと対応する、一対の読み出し用カラム選択スイッチ及び一対の書き込み用カラム選択スイッチのそれぞれにおける同一のデータ線との接続部分が共通の不純物拡散層から構成されていることが好ましい。

【 0 0 2 7 】

このようにすると、読み出し用及び書き込み用にそれぞれカラム選択スイッチを設けたことによるレイアウト面積の増大を最小限に抑制することができる。

【 0 0 2 8 】

本発明に係る第3の半導体装置は、ビット線と接続された差動増幅型センスアンプと、データ線とビット線との接続・非接続を切替制御するカラム選択スイッチを含むデータ伝送回路と、付加容量とビット線との接続・非接続を切替制御する容量制御スイッチとを備え、読み出し動作状態において差動増幅型センスアンプが起動された後であってカラム選択スイッチによってデータ線とビット線とが接続される前に、容量制御スイッチによって付加容量とビット線とが接続される。

【 0 0 2 9 】

第3の半導体装置によると、カラム選択スイッチがONした瞬間（データ線とビット線とが接続された瞬間）、ビット線（ハイレベルになるビット線）からデータ線へのチャージ電流が発生するが、付加容量によって該ビット線のトータル容量が十分に大きくなっているため、該ビット線の電位低下を抑制することができる。また、ハイレベルになるビット線のトータル容量が十分に大きいため、該ビット線の電位が、差動増幅型センスアンプにおけるローレベルになるビット線と電源とを接続するPチャネル型MOSトランジスタの閾値以下に低下することがない。このため、ローレベルになるビット線と接続されるデータ線に、データ線間干渉によるわずかな電位上昇が生じ、それによって該ビット線にも同様に

わずかな電位上昇が生じたとしても、該ビット線に、それ以上の電位上昇が生じることを防止できる。従って、ビット線対間の電位関係をより安定させることができるため、ビット線からデータ線へのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しをより確実に防止できる。

【 0 0 3 0 】

本発明に係る第 4 の半導体装置において、ビット線と接続された差動増幅型センスアンプと、データ線とビット線との接続・非接続を切替制御するカラム選択スイッチを含むデータ伝送回路と、データ線の分割・非分割を切替制御するデータ線分割スイッチとを備え、読み出し動作状態において差動増幅型センスアンプが起動され且つカラム選択スイッチによってデータ線とビット線とが接続されるまで、データ線分割スイッチによってデータ線が分割されている。

【 0 0 3 1 】

第 4 の半導体装置によると、カラム選択スイッチが ON した瞬間（データ線とビット線とが接続された瞬間）、ビット線（ハイレベルになるビット線）からデータ線へのチャージ電流が発生するが、データ線分割スイッチによってデータ線が分割されてデータ線のトータル容量が十分に小さくなっているため、ハイレベルになるビット線の電位低下を抑制することができる。また、データ線のトータル容量が十分に小さいため、ハイレベルになるビット線の電位が、差動増幅型センスアンプにおけるローレベルになるビット線と電源とを接続する P チャネル型 MOS トランジスタの閾値以下に低下することがない。このため、ローレベルになるビット線と接続されるデータ線に、データ線間干渉によるわずかな電位上昇が生じ、それによって該ビット線にも同様にわずかな電位上昇が生じたとしても、該ビット線に、それ以上の電位上昇が生じることを防止できる。従って、ビット線対間の電位関係をより安定させることができるため、ビット線からデータ線へのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しをより確実に防止できる。

【 0 0 3 2 】

【発明の実施の形態】

（第 1 の実施形態）

以下、本発明の第1の実施形態に係る半導体装置、具体的には、センスアンプと、カラム選択スイッチを含むデータ伝送回路とを備えた半導体記憶装置について、図面を参照しながら説明する。

【0033】

図1は、第1の実施形態に係る半導体装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【0034】

図1に示すように、本実施形態の半導体装置におけるセンスアンプ11は、第1、第2及び第3のPチャネル型MOSトランジスタ Q_{p1} 、 Q_{p2} 及び Q_{p3} 、並びに第1、第2及び第3のNチャネル型MOSトランジスタ Q_{n1} 、 Q_{n2} 及び Q_{n3} から構成されている。

【0035】

第1のPチャネル型MOSトランジスタ Q_{p1} のソース電極はセンスアンプ11の電源に接続されている。第1のPチャネル型MOSトランジスタ Q_{p1} のゲート電極には、センスアンプ11の動作を制御する信号SA1が入力される。第2及び第3のPチャネル型MOSトランジスタ Q_{p2} 及び Q_{p3} のそれぞれのソース電極は第1のPチャネル型MOSトランジスタ Q_{p1} に接続されている。第2のPチャネル型MOSトランジスタ Q_{p2} のゲート電極及びドレイン電極はそれぞれビット線/BL及びビット線BLと接続されている。第3のPチャネル型MOSトランジスタ Q_{p3} のゲート電極及びドレイン電極はそれぞれビット線BL及びビット線/BLと接続されている。

【0036】

第1のNチャネル型MOSトランジスタ Q_{n1} のソース電極は接地されている。第1のNチャネル型MOSトランジスタ Q_{n1} のゲート電極には、センスアンプ11の動作を制御する信号SA2が入力される。第2及び第3のNチャネル型MOSトランジスタ Q_{n2} 及び Q_{n3} のそれぞれのソース電極は第1のNチャネル型MOSトランジスタ Q_{n1} に接続されている。第2のNチャネル型MOSトランジスタ Q_{n2} のゲート電極及びドレイン電極はそれぞれビット線/BL及びビット線BLと接続されている。第3のNチャネル型MOSトランジスタ Q_{n3}

のゲート電極及びドレイン電極はそれぞれビット線BL及びビット線/BLと接続されている。

【0037】

一方、本実施形態の半導体装置におけるカラム選択スイッチ12、つまり、ビット線対BL及び/BLとデータ線対DL及び/DLとの接続・非接続を切替制御するカラム選択スイッチ12は、一对のNチャネル型MOSトランジスタQn4よりなる。各Nチャネル型MOSトランジスタQn4のゲート電極にはカラム選択信号SWが入力される。

【0038】

ここで、本実施形態の特徴は、センスアンプ11を活性化してビット線BLをHiレベルとした時のMOSトランジスタQp1及びQp2の合計のオン抵抗と比べて、カラム選択スイッチ12を構成する各MOSトランジスタQn4のオン抵抗の方が大きいことである。

【0039】

本実施形態の半導体装置の具体的な動作は次の通りである。

【0040】

被選択メモリセル（図示省略）からビット線対BL及び/BLにそれぞれデータが読み出されると、各ビット線の電位が差動型センスアンプ11により増幅される。また、メモリセルが、1つのトランジスタと1つのキャパシタとから構成された1T1C型メモリである場合、ビット線対BL及び/BLの一方のビット線に供給された比較電位が差動型センスアンプ11により増幅される。

【0041】

差動型センスアンプ11を活性化するためには、信号SA1をLoにすると共に信号SA2をHiにすることによって、Pチャネル型MOSトランジスタQp1及びNチャネル型MOSトランジスタQn1をそれぞれON状態にする。ここで、例えばビット線BLに“1”のデータが読み出されると、差動増幅によりビット線BLの最終的な電位は電源電圧(Vcc)レベルになると共に、ビット線/BLの最終的な電位はGNDレベルになる。その結果、Pチャネル型MOSトランジスタQp2及びNチャネル型MOSトランジスタQn3がON状態になる

と共にPチャネル型MOSトランジスタQ_{p3}及びNチャネル型MOSトランジスタQ_{n2}がOFF状態になる。

【0042】

続いて、カラム選択信号SWをHiにして、カラム選択スイッチ12のNチャネル型MOSトランジスタQ_{n4}をON状態にすることにより、メモリセルからの読み出しデータがデータ線対DL及び/DLに伝送される。

【0043】

図2は、図1に示す本実施形態の半導体装置においてビット線からデータ線にデータが正常に伝送された時のビット線及びデータ線の電位変化を示す図である。

【0044】

図2に示すように、センスアンプ11が活性化されたとき、ビット線対BL及び/BLはそれぞれ電源電圧レベル及びGNDレベルになっている。ここで、カラム選択信号SWをLoからHiにすると、カラム選択スイッチ12のNチャネル型MOSトランジスタQ_{n4}がONし、それによりビット線BLからデータ線DLに電荷がチャージされる結果、データ線DLの電位が上昇する。尚、MOSトランジスタQ_{n4}がONした瞬間、データ線DLへのチャージ電流が発生するが、MOSトランジスタQ_{n4}のオン抵抗が比較的大きいので、ビット線BLの電位低下は小さい。また、センスアンプ11のトランジスタ列（MOSトランジスタQ_{p1}及びQ_{p2}）の合計のオン抵抗がMOSトランジスタQ_{n4}のオン抵抗と比べて小さいので、ビット線BLの電位が、ビット線/BLとセンスアンプ11の電源とを接続するPチャネル型MOSトランジスタQ_{p3}の閾値以下に低下することはない。すなわち、MOSトランジスタQ_{p3}はONせず、従ってMOSトランジスタQ_{n3}は十分にON状態にある。このため、データ線/DLにデータ線間干渉によるわずかな電位上昇が生じ、それによってデータ線/DLと接続するビット線/BLにも同様にわずかな電位上昇が生じたとしても、ビット線/BLに、それ以上の電位上昇が起こることはない。

【0045】

従って、第1の実施形態によると、ビット線対BL及び/BLの間の電位関係

を安定させることができるため、ビット線BL又は／BLからデータ線DL又は／DLへのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しを防止できる。

【0046】

(第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置、具体的には、センスアンプと、カラム選択スイッチを含むデータ伝送回路とを備えた半導体記憶装置について、図面を参照しながら説明する。

【0047】

第2の実施形態が第1の実施形態と異なっている点は、第2の実施形態の半導体装置におけるカラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム選択スイッチとから構成されていることである。

【0048】

図3は、第2の実施形態に係る半導体装置におけるカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。尚、本実施形態の半導体装置におけるセンスアンプは、図1に示す第1の実施形態のセンスアンプ11と同様のものであるとする。

【0049】

図3に示すように、本実施形態の半導体装置におけるカラム選択スイッチ、つまり、ビット線対BL及び／BLとデータ線対DL及び／DLとの接続・非接続を切替制御するカラム選択スイッチは、書き込み動作のスイッチである一対のNチャネル型MOSトランジスタQn5と、読み出し動作のスイッチである一対のNチャネル型MOSトランジスタQn6とを備えている。各Nチャネル型MOSトランジスタQn5のゲート電極には書き込み動作の制御信号SWWが入力されると共に、各Nチャネル型MOSトランジスタQn6のゲート電極には読み出し動作の制御信号SWRが入力される。

【0050】

ここで、本実施形態の第1の特徴は、Nチャネル型MOSトランジスタQn6のオン抵抗が、Nチャネル型MOSトランジスタQn5のオン抵抗よりも大きい

ことである。

【 0 0 5 1 】

また、本実施形態の第2の特徴は、各Nチャネル型MOSトランジスタQ_{n5}（書き込み動作のMOSトランジスタ）及び各Nチャネル型MOSトランジスタQ_{n6}（読み出し動作のMOSトランジスタ）のそれぞれにおけるデータ線DL又はデータ線／DLとの接続部分が共通の不純物拡散層から構成されていることである。

【 0 0 5 2 】

図4は、本実施形態のカラム選択スイッチにおける、MOSトランジスタQ_{n5}及びMOSトランジスタQ_{n6}のそれぞれとデータ線DLとの接続部分及びその近傍部分のレイアウトを模式的に示す図である。尚、図4において、■は各トランジスタとビット線BL又はデータ線DLとを接続するプラグを表している。また、IL（点領域）は不純物拡散層を表している。図4に示すように、MOSトランジスタQ_{n5}及びMOSトランジスタQ_{n6}のそれぞれにおけるデータ線DLとの接続部分は共通の不純物拡散層Cから構成されている

本実施形態の半導体装置の具体的な動作は次の通りである。

【 0 0 5 3 】

まず、読み出し動作においては、制御信号SWWはL_oのままで制御信号SWRがL_oからH_iに遷移し、それによりオン抵抗が比較的大きいMOSトランジスタQ_{n6}がONしてビット線BL及び／BLからそれぞれデータ線DL及び／DLへデータが伝送される。

【 0 0 5 4 】

また、書き込み動作においては、制御信号SWRはL_oのままで制御信号SWWがL_oからH_iに遷移し、それによりオン抵抗が比較的小さいMOSトランジスタQ_{n5}がONしてデータ線DL及び／DLからそれぞれビット線BL及び／BLへデータが伝送される。

【 0 0 5 5 】

尚、本実施形態においても、センスアンプを活性化してビット線BLをH_iレベルとした場合におけるセンスアンプのトランジスタ列（図1のMOSトランジ

スタQ p 1 及びQ p 2) の合計のオン抵抗と比べて、読み出し用のカラム選択スイッチであるM O S トランジスタQ n 6 のオン抵抗の方が大きいという関係が保たれているものとする。これにより、第1の実施形態と同様に、ビット線対B L 及び／B L の間の電位関係を安定させることができるため、ビット線B L 又は／B L からデータ線D L 又は／D L へのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しを防止できる。

【 0 0 5 6 】

第2の実施形態によると、カラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム選択スイッチとから構成されているため、書き込み用カラム選択スイッチのオン抵抗を大きくすることなく、読み出し用カラム選択スイッチのオン抵抗のみを大きくできる。このため、読み出し用カラム選択スイッチのオン抵抗を、差動増幅型センスアンプのトランジスタ列のオン抵抗よりも大きくすることができるので、第1の実施形態と同様の効果が得られる。

【 0 0 5 7 】

また、第2の実施形態によると、書き込み用カラム選択スイッチとして、オン抵抗が比較的小さい書き込み専用のM O S トランジスタQ n 5 を用いているため、安定且つ高速な書き込み動作を実行させることが可能になる。

【 0 0 5 8 】

さらに、第2の実施形態によると、読み出し用カラム選択スイッチ及び書き込み用カラム選択スイッチのそれぞれにおけるデータ線D L 又は／D L との接続部分が共通の不純物拡散層から構成されているため、読み出し用及び書き込み用にそれぞれカラム選択スイッチを設けたことによるレイアウト面積の増大を最小限に抑制することができる。

【 0 0 5 9 】

(第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置、具体的には、センスアンプと、カラム選択スイッチを含むデータ伝送回路とを備えた半導体記憶装置について、図面を参照しながら説明する。

【 0 0 6 0 】

第 3 の実施形態が第 1 の実施形態と異なっている点は、第 3 の実施形態の半導体装置におけるカラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム選択スイッチとから構成されていることである。

【 0 0 6 1 】

図 5 は、第 3 の実施形態に係る半導体装置におけるカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。尚、本実施形態の半導体装置におけるセンスアンプは、図 1 に示す第 1 の実施形態のセンスアンプ 1 1 と同様のものであるとする。また、図 5 においては、隣接する 2 つのセンスアンプと対応する 2 つのカラム選択スイッチのうち、言い換えると、隣接する一対のカラムのそれぞれに配置された一対のカラム選択スイッチのうち、各センスアンプと接続された各ビット線対の一方（ビット線 B L 1 及びビット線 B L 2）とデータ線 D L との接続・非接続を切替制御する部分のみを抜粋して示している。すなわち、各センスアンプと接続された各ビット線対の他方（ビット線 / B L 1 及びビット線 / B L 2）とデータ線 / D L との接続・非接続を切替制御するカラム選択スイッチ部分の図示は省略している。

【 0 0 6 2 】

図 5 に示すように、本実施形態の半導体装置における一のカラム選択スイッチ、つまり、ビット線 B L 1（及び / B L 1）とデータ線 D L（及び / D L）との接続・非接続を切替制御するカラム選択スイッチは、書き込み動作のスイッチである N チャネル型 MOS トランジスタ Q n 5 1 と、読み出し動作のスイッチである N チャネル型 MOS トランジスタ Q n 6 1 とを備えている。MOS トランジスタ Q n 5 1 のゲート電極には書き込み動作の制御信号 S W W 1 が入力されると共に、MOS トランジスタ Q n 6 1 のゲート電極には読み出し動作の制御信号 S W R 1 が入力される。

【 0 0 6 3 】

また、本実施形態の半導体装置における他のカラム選択スイッチ、つまり、ビット線 B L 2（及び / B L 2）とデータ線 D L（及び / D L）との接続・非接続を切替制御するカラム選択スイッチは、書き込み動作のスイッチである N チャネル型 MOS トランジスタ Q n 5 2 と、読み出し動作のスイッチである N チャ

ネル型MOSトランジスタQ n 6 2とを備えている。MOSトランジスタQ n 5 2のゲート電極には書き込み動作の制御信号SWW 2が入力されると共に、MOSトランジスタQ n 6 2のゲート電極には読み出し動作の制御信号SWR 2が入力される。

【 0 0 6 4 】

ここで、本実施形態の第1の特徴は、Nチャネル型MOSトランジスタQ n 6 1のオン抵抗が、Nチャネル型MOSトランジスタQ n 5 1のオン抵抗よりも大きいと共に、Nチャネル型MOSトランジスタQ n 6 2のオン抵抗が、Nチャネル型MOSトランジスタQ n 5 2のオン抵抗よりも大きいことである。

【 0 0 6 5 】

また、本実施形態の第2の特徴は、同一カラムに配置されたMOSトランジスタQ n 5 1及びQ n 6 1のそれぞれにおけるデータ線DL（又はデータ線／DL）との接続部分が共通の不純物拡散層から構成されていると共に、同一カラムに配置されたMOSトランジスタQ n 5 2及びQ n 6 2のそれぞれにおけるデータ線DL（又はデータ線／DL）との接続部分が共通の不純物拡散層から構成されていることである。

【 0 0 6 6 】

さらに、本実施形態の第3の特徴は、隣接カラムのそれぞれに配置されたMOSトランジスタQ n 5 1及びQ n 5 2のそれぞれにおけるデータ線DL（又はデータ線／DL）との接続部分が共通の不純物拡散層から構成されていると共に、隣接カラムのそれぞれに配置されたMOSトランジスタQ n 6 1及びQ n 6 2のそれぞれにおけるデータ線DL（又はデータ線／DL）との接続部分が共通の不純物拡散層から構成されていることである。

【 0 0 6 7 】

図6は、本実施形態の一对のカラム選択スイッチにおける、MOSトランジスタQ n 5 1、Q n 5 2、Q n 6 1及びQ n 6 2のそれぞれとデータ線DLとの接続部分及びその近傍部分のレイアウトを模式的に示す図である。尚、図6において、■は各トランジスタとビット線BL 1、BL 2又はデータ線DLとを接続するプラグを表している（プラグの一部分についてはその輪郭を破線で示している

）。また、I L（点領域）は不純物拡散層を表している。図 6 に示すように、M O S トランジスタ Q n 5 1、Q n 5 2、Q n 6 1 及び Q n 6 2 のそれぞれにおけるデータ線 D L との接続部分は共通の不純物拡散層 C から構成されている。

【 0 0 6 8 】

本実施形態の半導体装置の具体的な動作は次の通りである。

【 0 0 6 9 】

まず、読み出し動作においては、制御信号 S W W 1 又は S W W 2 は L o のままで制御信号 S W R 1 又は S W R 2 が L o から H i に遷移し、それによりオン抵抗が比較的大きい M O S トランジスタ Q n 6 1 又は Q n 6 2 が O N してビット線 B L 1（及び／B L 1）又はビット線 B L 2（及び／B L 2）からデータ線 D L（及び／D L）へデータが伝送される。

【 0 0 7 0 】

また、書き込み動作においては、制御信号 S W R 1 又は S W R 2 は L o のままで制御信号 S W W 1 又は S W W 2 が L o から H i に遷移し、それによりオン抵抗が比較的小さい M O S トランジスタ Q n 5 1 又は Q n 5 2 が O N してデータ線 D L（及び／D L）からビット線 B L 1（及び／B L 1）又はビット線 B L 2（及び／B L 2）へデータが伝送される。

【 0 0 7 1 】

尚、本実施形態においても、センスアンプの一方を活性化してビット線 B L 1 又は B L 2 を H i レベルとした場合における活性化したセンスアンプのトランジスタ列（センスアンプの電源とビット線とを接続する少なくとも 1 つの P チャネル型 M O S トランジスタ）の合計のオン抵抗と比べて、読み出し用のカラム選択スイッチである M O S トランジスタ Q n 6 1 又は Q n 6 2 のオン抵抗の方が大きいという関係が保たれているものとする。これにより、第 1 の実施形態と同様に、ビット線 B L 1 及び／B L 1 の間の電位関係、又はビット線 B L 2 及び／B L 2 の間の電位関係を安定させることができるため、ビット線 B L 1 及び／B L 1 又はビット線 B L 2 及び／B L 2 からデータ線 D L 及び／D L へのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しを防止できる。

【 0 0 7 2 】

第 3 の実施形態によると、カラム選択スイッチが、読み出し用カラム選択スイッチと書き込み用カラム選択スイッチとから構成されているため、書き込み用カラム選択スイッチのオン抵抗を大きくすることなく、読み出し用カラム選択スイッチのオン抵抗のみを大きくできる。このため、読み出し用カラム選択スイッチのオン抵抗を、差動増幅型センスアンプのトランジスタ列のオン抵抗よりも大きくすることができるので、第 1 の実施形態と同様の効果が得られる。

【 0 0 7 3 】

また、第 3 の実施形態によると、書き込み用カラム選択スイッチとして、オン抵抗が比較的小さい書き込み専用の MOS トランジスタを用いているため、安定且つ高速な書き込み動作を実行させることが可能になる。

【 0 0 7 4 】

さらに、第 3 の実施形態によると、同一カラムに配置された読み出し用カラム選択スイッチ及び書き込み用カラム選択スイッチのそれぞれにおけるデータ線 DL（又は /DL）との接続部分が共通の不純物拡散層から構成されている。また、隣接カラムのそれぞれに配置された一対の読み出し用カラム選択スイッチのそれぞれにおけるデータ線 DL（又は /DL）との接続部分、及び隣接カラムのそれぞれに配置された一対の書き込み用カラム選択スイッチのそれぞれにおけるデータ線 DL（又は /DL）との接続部分が共通の不純物拡散層から構成されている。このため、読み出し用及び書き込み用にそれぞれカラム選択スイッチを設けたことによるレイアウト面積の増大を最小限に抑制することができる。

【 0 0 7 5 】

（第 4 の実施形態）

以下、本発明の第 4 の実施形態に係る半導体装置、具体的には、センスアンプと、カラム選択スイッチを含むデータ伝送回路とを備えた半導体記憶装置について、図面を参照しながら説明する。

【 0 0 7 6 】

図 7 は、第 4 の実施形態に係る半導体装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【 0 0 7 7 】

図 7 に示すように、本実施形態の半導体装置におけるセンスアンプ 1 1 は、第 1 の実施形態と同様に、第 1、第 2 及び第 3 の P チャンネル型 MOS トランジスタ Q_{p1} 、 Q_{p2} 及び Q_{p3} 、並びに第 1、第 2 及び第 3 の N チャンネル型 MOS トランジスタ Q_{n1} 、 Q_{n2} 及び Q_{n3} から構成されている。

【 0 0 7 8 】

また、本実施形態の半導体装置におけるカラム選択スイッチ 1 2、つまり、ビット線対 B_L 及び $\neg B_L$ とデータ線対 D_L 及び $\neg D_L$ との接続・非接続を切替制御するカラム選択スイッチ 1 2 は、第 1 の実施形態と同様に、一対の N チャンネル型 MOS トランジスタ Q_{n4} よりなる。各 N チャンネル型 MOS トランジスタ Q_{n4} のゲート電極にはカラム選択信号 SW_1 が入力される。

【 0 0 7 9 】

ここで、本実施形態の特徴は、ビット線対 B_L 及び $\neg B_L$ のそれぞれに、容量制御スイッチである N チャンネル型 MOS トランジスタ Q_{n7} を介して、各ビット線のトータル容量を増加させるためのビット線付加容量 C_1 が設けられていることである。各 N チャンネル型 MOS トランジスタ Q_{n7} のゲート電極には制御信号 SW_2 が入力される。

【 0 0 8 0 】

次に、本実施形態の半導体装置の具体的な動作について、図 8 のタイミングチャートを用いて説明する。

【 0 0 8 1 】

被選択メモリセル（図示省略）からビット線 B_L 及び $\neg B_L$ にそれぞれデータが読み出された後、制御信号 SA_1 及び SA_2 の状態をそれぞれ遷移させることによってセンスアンプ 1 1 を活性化させる。次に、制御信号 SW_2 を L_o から H_i にすることによって、ビット線 B_L 及び $\neg B_L$ にそれぞれビット線付加容量 C_1 を接続してビット線 B_L 及び $\neg B_L$ のトータル容量を増加させる。続いて、カラム選択信号 SW_1 を L_o から H_i にすることによって、カラム選択スイッチ 1 2 の MOS トランジスタ Q_{n4} が ON し、その結果、ビット線 B_L からデータ線 D_L に電荷がチャージされてデータ線 D_L の電位が上昇する。

【 0 0 8 2 】

MOSトランジスタ Q_{n4} がONした瞬間、データ線DLへのチャージ電流が発生するが、ビット線BLのトータル容量が十分に大きいので、ビット線BLの電位低下は少ない。また、ビット線BLのトータル容量が十分に大きいため、この時のビット線BLの電位が、ビット線/BLとセンスアンプ11の電源とを接続するPチャネル型MOSトランジスタ Q_{p3} の閾値以下に低下することはない。すなわち、MOSトランジスタ Q_{p3} はONせず、従ってMOSトランジスタ Q_{n3} は十分にON状態にある。このため、データ線/DLにデータ線間干渉によるわずかな電位上昇が生じ、それによってデータ線/DLと接続するビット線/BLにも同様にわずかな電位上昇が生じたとしても、ビット線/BLに、それ以上の電位上昇が起こることはない。

【 0 0 8 3 】

従って、第4の実施形態によると、ビット線対BL及び/BLの間の電位関係を安定させることができるため、ビット線BL又は/BLからデータ線DL又は/DLへのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しを防止できる。

【 0 0 8 4 】

(第5の実施形態)

以下、本発明の第5の実施形態に係る半導体装置、具体的には、センスアンプと、カラム選択スイッチを含むデータ伝送回路とを備えた半導体記憶装置について、図面を参照しながら説明する。

【 0 0 8 5 】

図9は、第5の実施形態に係る半導体装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【 0 0 8 6 】

図9に示すように、本実施形態の半導体装置におけるセンスアンプ11は、第1の実施形態と同様に、第1、第2及び第3のPチャネル型MOSトランジスタ Q_{p1} 、 Q_{p2} 及び Q_{p3} 、並びに第1、第2及び第3のNチャネル型MOSトランジスタ Q_{n1} 、 Q_{n2} 及び Q_{n3} から構成されている。

【 0 0 8 7 】

また、本実施形態の半導体装置におけるカラム選択スイッチ 1 2、つまり、ビット線対 B L 及び / B L とデータ線対 D L 及び / D L との接続・非接続を切替制御するカラム選択スイッチ 1 2 は、第 1 の実施形態と同様に、一对の N チャネル型 MOS トランジスタ Q n 4 よりなる。各 N チャネル型 MOS トランジスタ Q n 4 のゲート電極にはカラム選択信号 S W 1 が入力される。

【 0 0 8 8 】

ここで、本実施形態の特徴は、読み出し動作においてデータ線 D L 及び / D L のトータル容量を減少させるため、データ線 D L 及び / D L のそれぞれに、各データ線の分割・非分割を切替制御するデータ線分割スイッチである N チャネル型 MOS トランジスタ Q n 8 が設けられていることである。各 N チャネル型 MOS トランジスタ Q n 8 のゲート電極には制御信号 S W 2 が入力される。

【 0 0 8 9 】

次に、本実施形態の半導体装置の具体的な動作について、図 1 0 のタイミングチャートを用いて説明する。

【 0 0 9 0 】

被選択メモリセル（図示省略）からビット線 B L 及び / B L にそれぞれデータが読み出された後、制御信号 S A 1 及び S A 2 の状態をそれぞれ遷移させることによってセンスアンプ 1 1 を活性化させる。次に、カラム選択信号 S W 1 を L o から H i にすることによって、カラム選択スイッチ 1 2 の MOS トランジスタ Q n 4 が O N し、その結果、ビット線 B L からデータ線 D L に電荷がチャージされてデータ線 D L の電位が上昇する。尚、本実施形態では、この時点までデータ線分割スイッチである MOS トランジスタ Q n 8 を O F F にしておくことによってデータ線 D L 及び / D L が分割されている。そのため、MOS トランジスタ Q n 4 が O N した瞬間、データ線 D L へのチャージ電流が発生するが、データ線 D L のトータル容量が十分に小さいため、ビット線 B L の電位低下は少ない。次に、ビット線 B L の電位レベルが十分に再上昇した後、制御信号 S W 2 を L o から H i にすることによって、データ線分割スイッチである MOS トランジスタ Q n 8 を O N し、それによってビット線 B L からデータ線 D L へのデータ伝送を行なう

。このとき、MOSトランジスタ Q_{n8} がONすることにより増加するデータ線DLの容量は十分に小さいため、データ線DL及びビット線BLのそれぞれにおける電位低下は小さい。また、データ線DLのトータル容量が十分に小さいため、制御信号SW1又は制御信号SW2の状態を遷移させた時にも、ビット線BLの電位が、ビット線/BLとセンスアンプ11の電源とを接続するPチャネル型MOSトランジスタ Q_{p3} の閾値以下に低下することはない。すなわち、MOSトランジスタ Q_{p3} はONせず、従ってMOSトランジスタ Q_{n3} は十分にON状態にある。このため、データ線/DLにデータ線間干渉によるわずかな電位上昇が生じ、それによってデータ線/DLと接続するビット線/BLにも同様にわずかな電位上昇が生じたとしても、ビット線/BLに、それ以上の電位上昇が起こることはない。

【0091】

従って、第5の実施形態によると、ビット線対BL及び/BLの間の電位関係を安定させることができるため、ビット線BL又は/BLからデータ線DL又は/DLへのデータ伝送が正常に行なわれるので、読み出し動作時におけるデータ破壊や誤読み出しを防止できる。

【0092】

尚、第5の実施形態において、カラム選択スイッチ12のMOSトランジスタ Q_{n4} をONした後に再びOFFし、その後、再度ONする場合、MOSトランジスタ Q_{n4} のOFFと共にデータ線分割スイッチであるMOSトランジスタ Q_{n8} をOFFにし、MOSトランジスタ Q_{n4} を再度ONした後に、MOSトランジスタ Q_{n8} をONすることによって、本実施形態と同様の効果が得られる。

【0093】

また、第5の実施形態において、データ線DL又は/DLに設けるデータ線分割スイッチの数は特に限定されるものではない。すなわち、データ線DL又は/DLに複数個のデータ線分割スイッチを設けて、データ線DL又は/DLを3つ以上の部分に直列的に分割した場合にも、本実施形態と同様の効果が得られる。

【0094】

【発明の効果】

本発明によると、カラム選択スイッチのオン抵抗と差動増幅型センスアンプのPチャネル型MOSトランジスタの合計のオン抵抗との比率を最適化することにより、読み出し用及び書き込み用に別々にカラム選択スイッチを設けることにより、ビット線とデータ線との負荷容量比率を改善させるためにビット線付加容量及びその接続制御用スイッチを設けることにより、又はデータ線分割スイッチを設けることにより、データ読み出し動作におけるカラム選択スイッチON時の相補ビット線の電位逆転に起因するデータ破壊を防止することができる。また、読み出し用及び書き込み用にカラム選択スイッチを別々に設ける場合、同一カラムに配置された読み出し用及び書き込み用のカラム選択スイッチにおけるデータ線との接続部分を共通の不純物拡散層により構成することによって、又は隣接カラムに配置された読み出し用及び書き込み用の一対のカラム選択スイッチ同士におけるデータ線との接続部分を共通の不純物拡散層により構成することによって、レイアウト面積の増大を最小限に抑制できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【図 2】

本発明の第 1 の実施形態に係る半導体装置においてビット線からデータ線にデータが正常に伝送された時のビット線及びデータ線の電位変化を示す図である。

【図 3】

本発明の第 2 の実施形態に係る半導体装置におけるカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【図 4】

本発明の第 2 の実施形態に係る半導体装置におけるカラム選択スイッチのレイアウトを示す図である。

【図 5】

本発明の第 3 の実施形態に係る半導体装置におけるカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【図 6】

本発明の第 3 の実施形態に係る半導体装置におけるカラム選択スイッチのレイアウトを示す図である。

【図 7】

本発明の第 4 の実施形態に係る半導体装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【図 8】

本発明の第 4 の実施形態に係る半導体装置における読み出し動作のタイミングを示す図である。

【図 9】

本発明の第 5 の実施形態に係る半導体装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【図 1 0】

本発明の第 5 の実施形態に係る半導体装置における読み出し動作のタイミングを示す図である。

【図 1 1】

従来の半導体記憶装置におけるセンスアンプ部及びカラム選択スイッチを含むデータ伝送回路部の回路構成を示す図である。

【図 1 2】

従来の半導体記憶装置においてビット線からデータ線にデータが正常に伝送された時のビット線及びデータ線の電位変化を示す図である。

【図 1 3】

従来の半導体記憶装置において誤読み出しが起きる場合のビット線及びデータ線の電位変化を示す図である。

【符号の説明】

1 1 センスアンプ

1 2 カラム選択スイッチ

Q p 1 Pチャネル型MOSトランジスタ

Q p 2 Pチャネル型MOSトランジスタ

Q p 3 Pチャネル型MOSトランジスタ
Q n 1 Nチャネル型MOSトランジスタ
Q n 2 Nチャネル型MOSトランジスタ
Q n 3 Nチャネル型MOSトランジスタ
Q n 4 Nチャネル型MOSトランジスタ
Q n 5 Nチャネル型MOSトランジスタ
Q n 5 1 Nチャネル型MOSトランジスタ
Q n 5 2 Nチャネル型MOSトランジスタ
Q n 6 Nチャネル型MOSトランジスタ
Q n 6 1 Nチャネル型MOSトランジスタ
Q n 6 2 Nチャネル型MOSトランジスタ
Q n 7 Nチャネル型MOSトランジスタ
Q n 8 Nチャネル型MOSトランジスタ
B L ビット線
／B L ビット線
B L 1 ビット線
B L 2 ビット線
D L データ線
／D L データ線
S A 1 制御信号
S A 2 制御信号
S W 制御信号
S W 1 制御信号
S W 2 制御信号
S W W 制御信号
S W W 1 制御信号
S W W 2 制御信号
S W R 制御信号
S W R 1 制御信号

S W R 2 制御信号

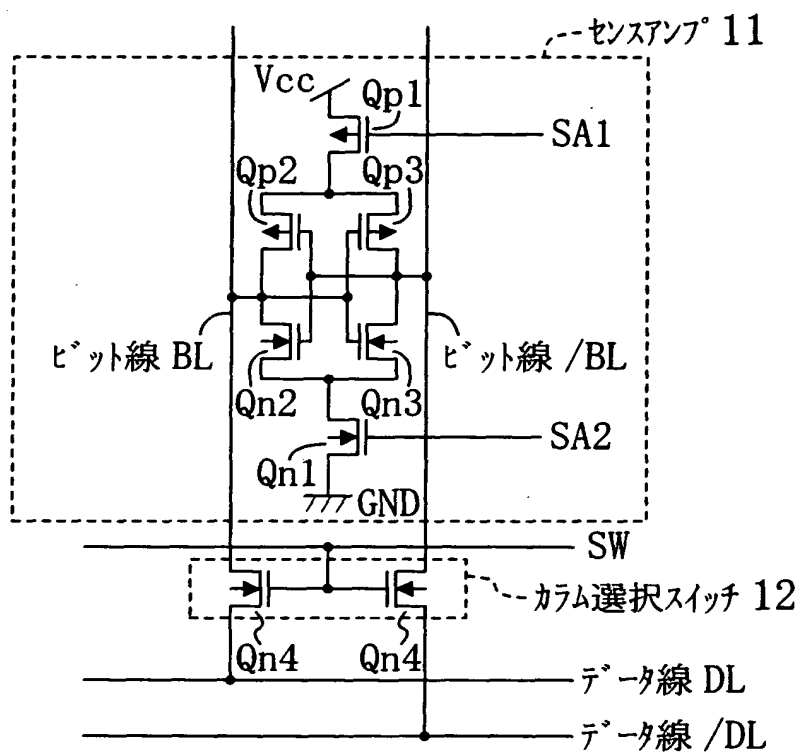
I L 不純物拡散層

C 共通拡散層

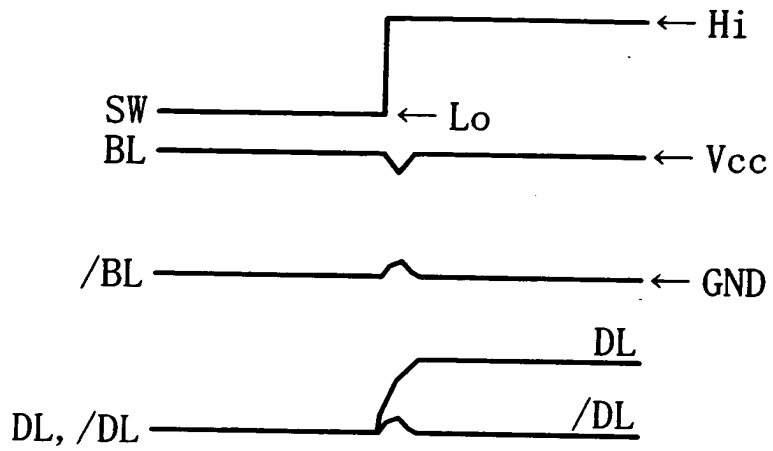
C 1 ビット線付加容量

【書類名】 図面

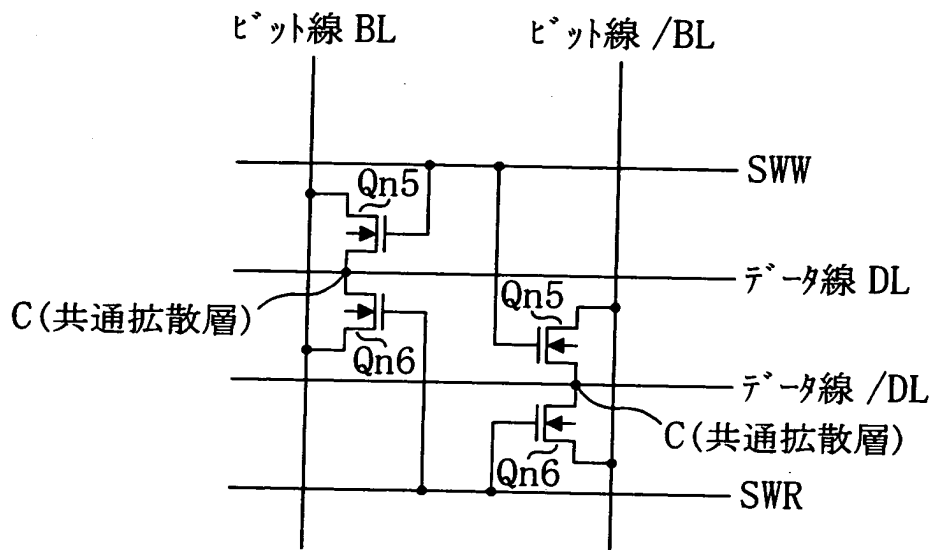
【図 1】



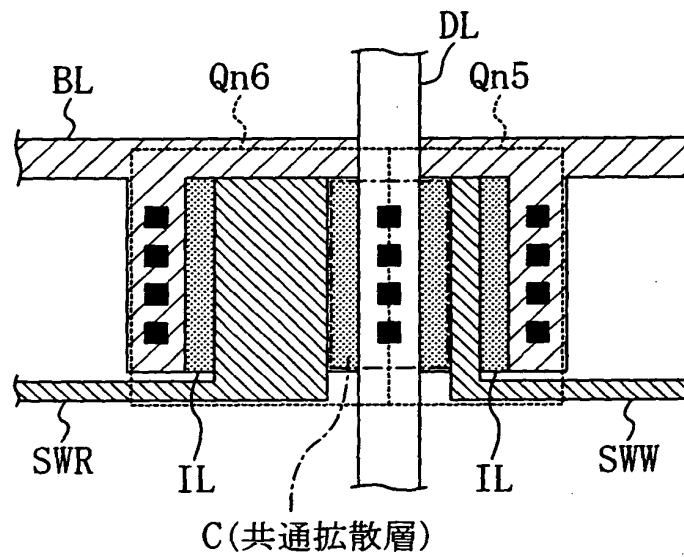
【図 2】



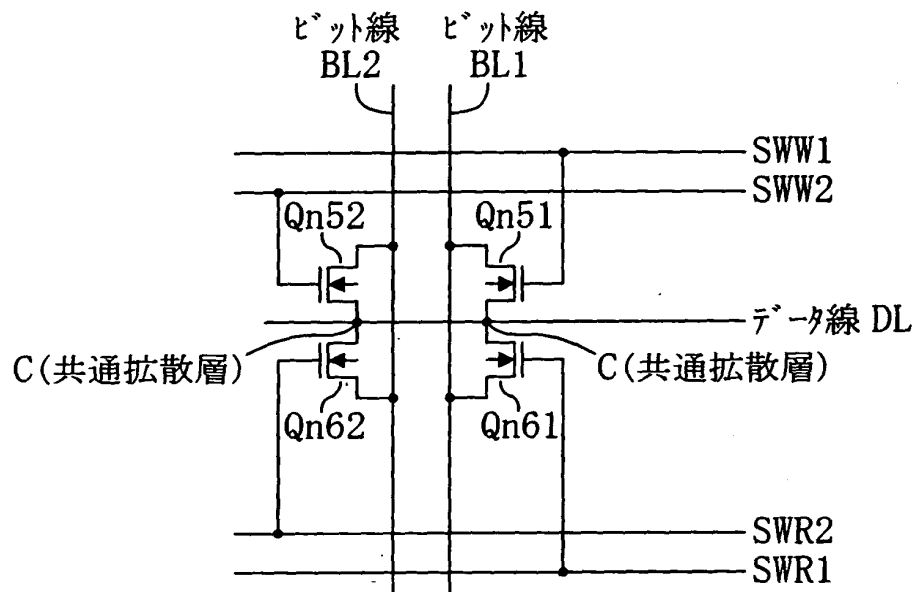
【図 3】



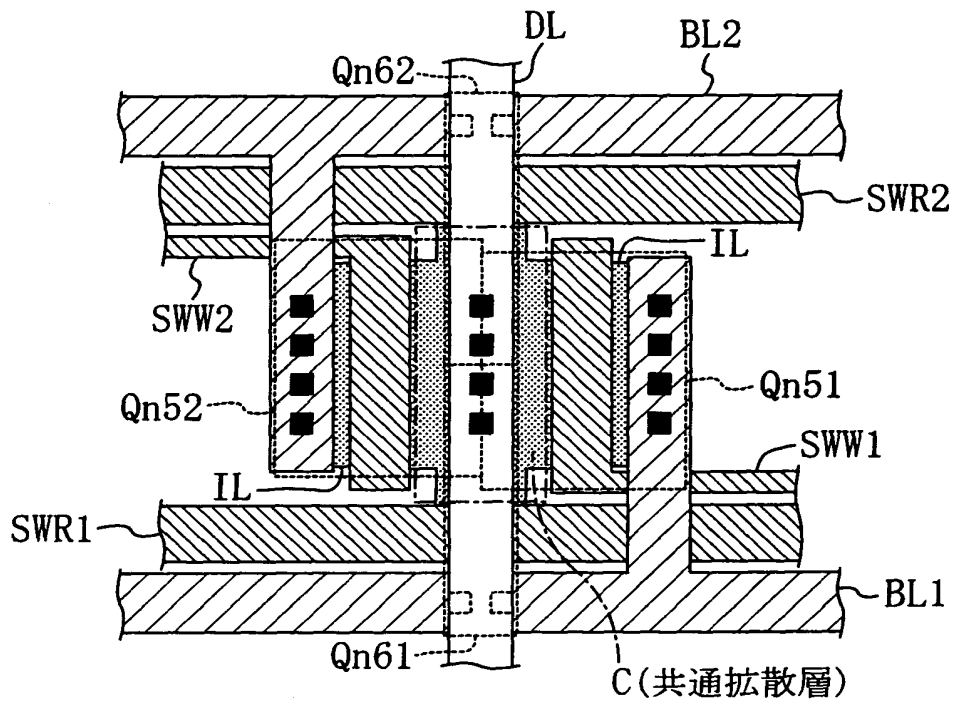
【図 4】



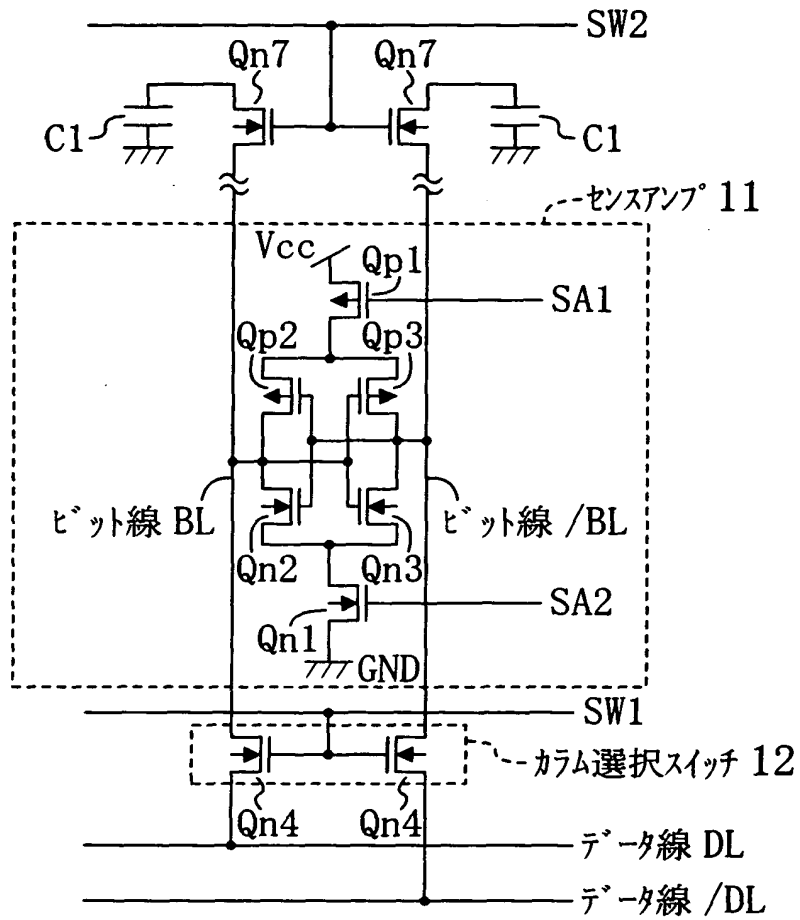
【図 5】



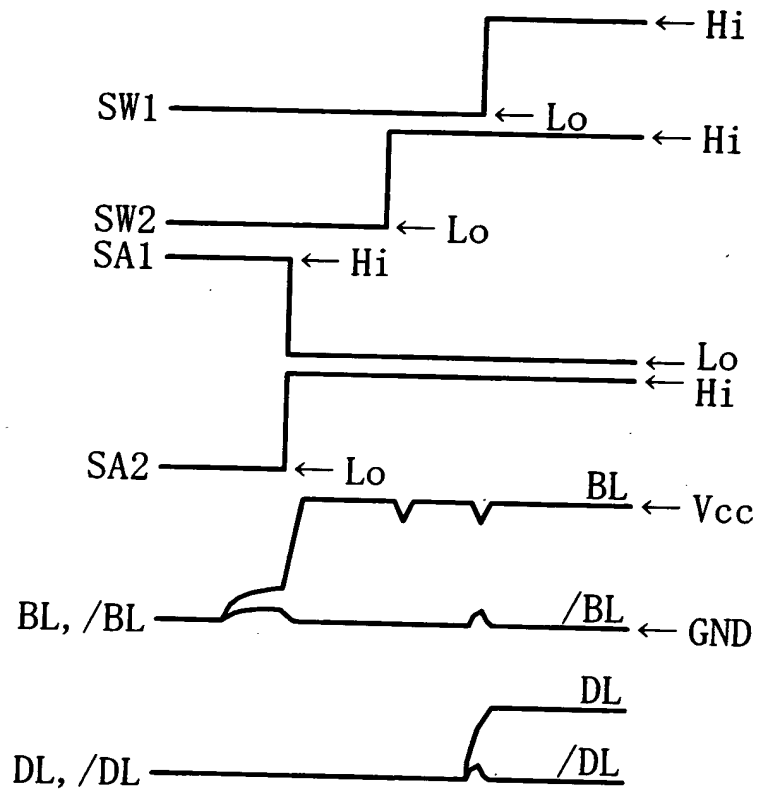
【図 6】



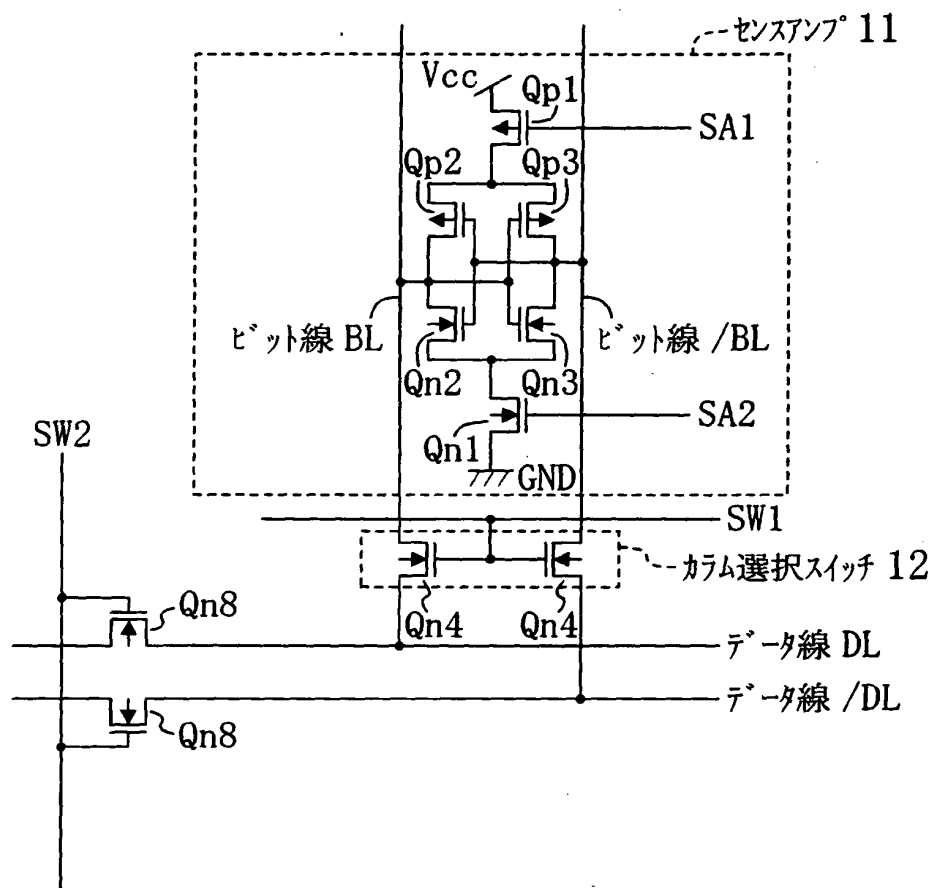
【図 7】



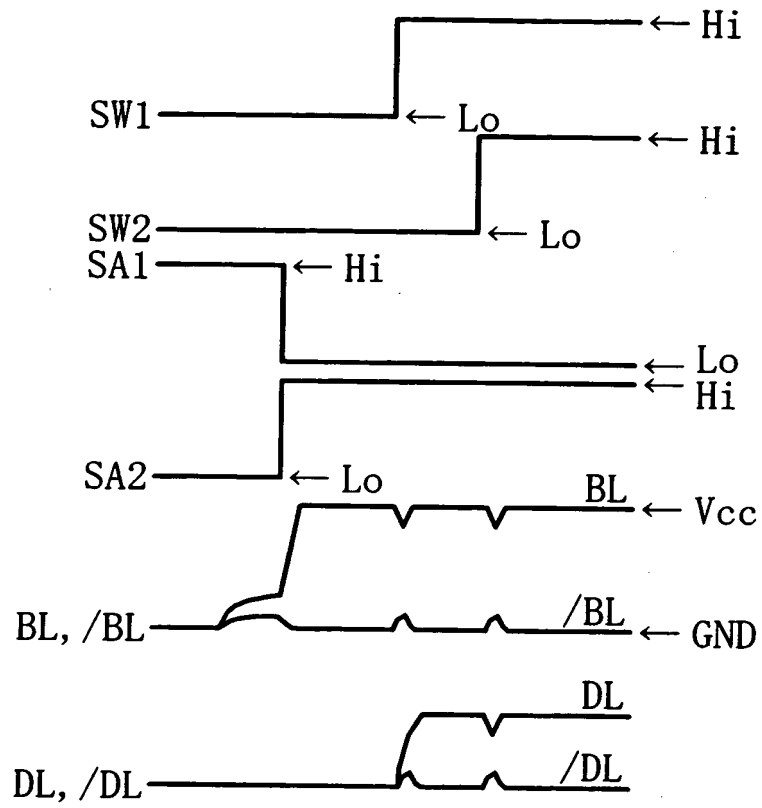
【図 8】



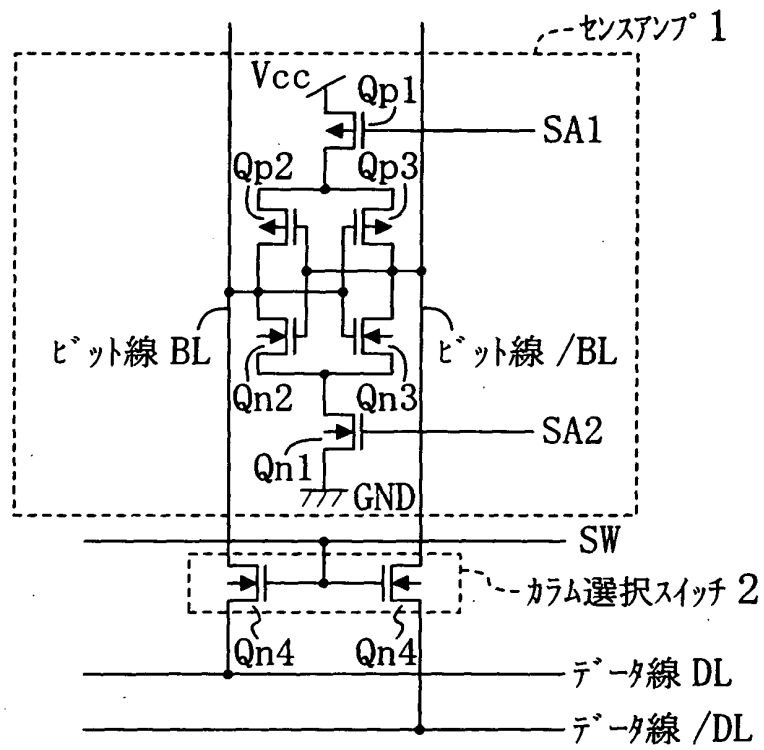
【図9】



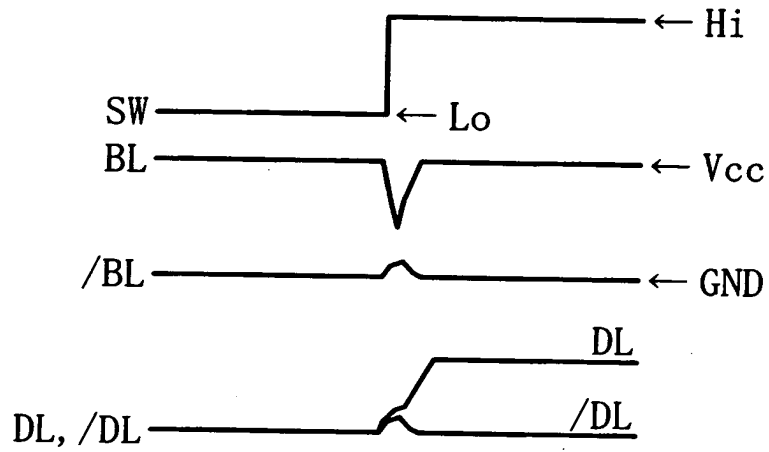
【図 1 0】



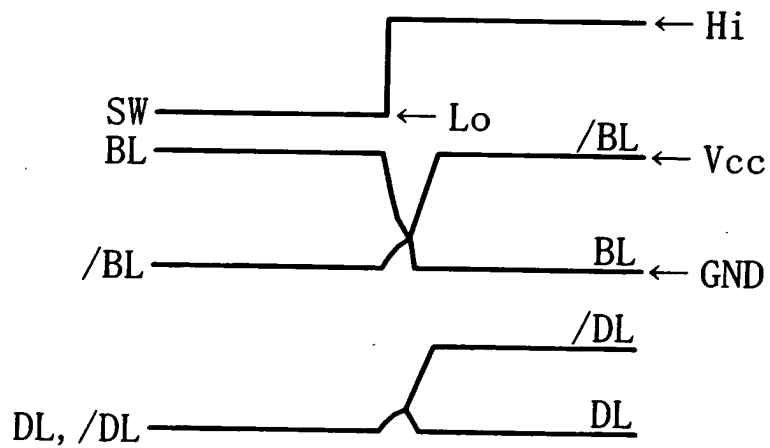
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 半導体記憶装置においてデータの破壊や誤読み出しを防止する。

【解決手段】 ビット線BLと接続された差動増幅型センスアンプ11と、ビット線BLとデータ線DLとの接続・非接続を切替制御するカラム選択スイッチ12とを備えている。差動増幅型センスアンプ11は、該センスアンプの電源とビット線BLとを接続するMOSトランジスタ列Qp1及びQp2を有する。カラム選択スイッチ12を構成するMOSトランジスタQn4のオン抵抗は、MOSトランジスタ列Qp1及びQp2の合計のオン抵抗よりも大きい。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社